

DE 19748689

2/9/1

DIALOG(R) File 351: Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.
012507821 **Image available**
WPI Acc No: 1999-313926/199927
XRPX Acc No: N99-234468

Circuit board with low-inductance connection of solder pad to conductive track

Patent Assignee: TRENEW ELECTRONIC GMBH (TREN-N)
Inventor: LENKISCH A
Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19748689	A1	19990520	DE 1048689	A	19971104	199927 B
DE 19748689	C2	20000127	DE 1048689	A	19971104	200010

Priority Applications (No Type Date): DE 1048689 A 19971104

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 19748689	A1	6		H05K-003/40	
DE 19748689	C2			H05K-003/40	

Abstract (Basic): DE 19748689 A1

NOVELTY - The circuit board (12) has at least one solder pad (1) on one surface and a through-contact to at least one conductive track on another surface of the board or within the board. A lead (2) connects the solder pad to the through-contact. The through-contact consists of at least two parallel-connected metallised holes (3). The lead between the solder pad and the hole nearest the pad has at least the same width as the solder pad.

USE - For Surface Mounted Device circuit board for high frequency applications.

ADVANTAGE - The inductance of the connection between a solder pad and a circuit track is minimized.

DESCRIPTION OF DRAWING(S) - The drawing shows a first layout of the circuit board.

Solder pad (1)

Metallised holes (3)

pp; 6 DwgNo 1/6

Title Terms: CIRCUIT; BOARD; LOW; INDUCTANCE; CONNECT; SOLDER; PAD;
CONDUCTING; TRACK

Derwent Class: V04

International Patent Class (Main): H05K-003/40

International Patent Class (Additional): H05K-003/46

File Segment: EPI

Manual Codes (EPI/S-X): V04-Q02A; V04-Q05

?



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 197 48 689 A 1**

⑤1 Int. Cl.⁶:
H 05 K 3/40
H 05 K 3/46

②1 Aktenzeichen: 197 48 689.4
②2 Anmeldetag: 4. 11. 97
④3 Offenlegungstag: 20. 5. 99

DE 197 48 689 A 1

⑦1 Anmelder:
Trennew Electronic GmbH, 75180 Pforzheim, DE

⑦4 Vertreter:
Mayer, Frank und Reinhardt, 75173 Pforzheim

⑦2 Erfinder:
Lenkisch, Andreas, 75180 Pforzheim, DE

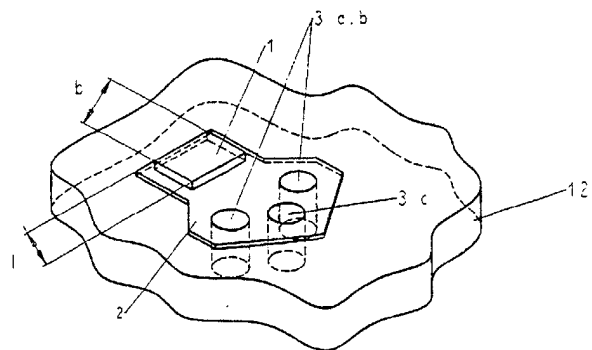
⑤6 Entgegenhaltungen:
DE 38 43 984 A1
DE 2 96 18 771 U1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 **Niederinduktive Verbindung**

⑤7 Es wird eine Leiterplatte beschrieben, bei der die Induktivität der Verbindung zwischen einem Lötpad (1) und einer oder mehreren Leiterbahnen, welche sich im Inneren der Leiterplatte oder auf der dem Lötpad (1) gegenüberliegenden Seite der Leiterplatte befinden, minimiert ist. Das wird dadurch erreicht, daß zur Durchkontaktierung mehrere Bohrungen (3) verwendet werden, und daß die Zuleitung zwischen Lötpad (1) und Durchkontaktierung flächenartig ausgebildet ist. Das beschriebene Layout kann bei zweilagigen und mehrlagigen Leiterplatten angewendet werden. Es eignet sich insbesondere zur induktivitätsarmen kapazitiven Kopplung von Leiterbahnen mittels SMD-Kondensatoren.



DE 197 48 689 A 1

Beschreibung

Gebiet der Erfindung

Die Erfindung betrifft eine Leiterplatte, insbesondere die Verbindung eines Löt pads auf einer ersten Oberfläche mit einer Leiterbahn auf einer zweiten Oberfläche oder in einer Innenlage der Leiterplatte nach dem Oberbegriff des Anspruchs 1.

Stand der Technik

Es ist bekannt, daß das Layout einer Leiterplatte großen Einfluß auf ihre elektrischen Eigenschaften wie Induktivität und Kapazität hat. Bei vielen Anwendungen, insbesondere dann, wenn die Leiterplatte mit hohen Frequenzen betrieben wird, wird beim Layout darauf geachtet, daß die parasitären Induktivitäten möglichst klein gehalten werden. Dies wird unter anderem dadurch erreicht, daß die Leiterbahnen möglichst breit gemacht werden, und Leiterschleifen eine kleinstmögliche Fläche umschließen.

Trotzdem ist bei herkömmlichen SMD-bestückten mehrlagigen Leiterplatten die Verbindung zwischen SMD-Löt pads, die sich auf einer ersten Oberfläche befinden, und Leiterbahnen, welche sich in Innenlagen oder auf der zweiten Oberfläche der Leiterplatte befinden, relativ hochinduktiv. Bisher sind die in Rede stehenden Anordnungen wie folgt gestaltet: Die Verbindung besteht aus einer innen metallisierten Bohrung, welche als Durchkontaktierung zwischen den Leiterplattenschichten dient, und einer schmalen Zuleitung, der diese Bohrung mit dem SMD-Löt pad leitend verbindet (Fig. 6). Die relativ hohe Induktivität einer solchen Verbindung ist insbesondere dann störend, wenn es darum geht, Leiterbahnen niederinduktiv kapazitiv zu koppeln, das heißt wenn das Löt pad zur Auflöschung eines SMD-Kondensators dient.

Darstellung der Erfindung

Ziel der Erfindung ist es, eine Anordnung zu schaffen, bei der die Induktivität der Verbindung zwischen einem Löt pad und einer Leiterbahn, welche sich in einer anderen Schicht der Leiterplatte oder auf der entgegengesetzten Oberfläche befindet, minimiert ist.

Dies wird durch eine Leiterplatte mit den Merkmalen des Anspruchs 1 erreicht.

Die Gesamtinduktivität einer in Rede stehenden Anordnung setzt sich im wesentlichen aus zwei Induktivitäten zusammen: Der Induktivität der Durchkontaktierung und der Induktivität der Zuleitung. Die erfindungsgemäße Anordnung minimiert beide Induktivitäten, und somit auch die Gesamtinduktivität. Die Induktivität der Durchkontaktierung wird dadurch reduziert, daß mehr als eine innen metallisierte Bohrung zur Stromleitung verwendet wird, was einer Parallelschaltung entspricht. Bei gleichartigen Bohrungen ist die Induktivität der Durchkontaktierung umgekehrt proportional zur Anzahl der Bohrungen. Die Induktivität der Zuleitung wird dadurch minimiert, daß die Zuleitung mindestens auf der ganzen Breite des SMD-Löt pads mit diesem verbunden ist, und mit mindestens dieser Breite zu den Bohrungen geführt wird. Die Zuleitung erhält dadurch eine flächenartige Geometrie.

Das hier beschriebene Layout kann natürlich nicht nur bei SMD-bestückten Leiterplatten angewendet werden, sondern immer dann, wenn ein beliebiges Bauteil auf ein Löt pad aufgelötet, und leitend mit einer Leiterbahn in einer Innenlage einer Leiterplatte, oder mit einer Leiterbahn auf der gegenüberliegenden Seite der Leiterplatte leitend verbunden werden soll.

Deshalb ist im folgenden allgemein von Löt pads die Rede. Bei den Leiterbahnen kann es sich um Signalleitungen, GND- oder V_{cc} -Lagen handeln.

Vorteilhafte Ausführungsformen ergeben sich aus den Unteransprüchen.

Die Erfindung wird nun anhand von Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine erste erfindungsgemäße Layout;

Fig. 2 eine zweite erfindungsgemäße Layout;

Fig. 3 ein erstes Anwendungsbeispiel;

Fig. 4 ein zweites Anwendungsbeispiel;

Fig. 5a, b Querschnitte erfindungsgemäßer Verbindungen in nichtmaßstäblicher Darstellung;

Fig. 6 ein Layout nach dem bisherigen Stand der Technik.

Fig. 1 zeigt eine erfindungsgemäße Anordnung in der Draufsicht. Das Löt pad 1 mit der Länge l und der Breite b ist mit seiner gesamten Unterseite auf der Zuleitung 2 angebracht. Mit Längsseite wird hier diejenige Seite bezeichnet, welche parallel zur Längsrichtung des auf dem Löt pad anzuschließenden SMD-Bauteils ist, die Breitseite ist die dazu senkrechte Seite. Die Zuleitung 2 ist so gestaltet, daß sie das Löt pad 1 an seinen Breitseiten überragt. Die Zuleitung weitet sich zu zwei nebeneinander angeordneten Bohrungen 3a, b hin fächerförmig auf. Eine dritte Bohrung 3c ist, vom Löt pad aus gesehen, hinter den Bohrungen 3a, b angeordnet. Die Bohrungen 3, welche eine metallisierte Oberfläche haben, sind leitend mit Leiterbahnen 7 im Inneren der Leiterplatte 12 verbunden (Fig. 5a). Natürlich ist es auch denkbar, daß die Bohrungen mit nur einer Leiterbahn im Inneren der Leiterplatte 12 verbunden sind, oder daß sich die Leiterbahn 7 auf der entgegengesetzten Oberfläche befindet (Fig. 5b).

Fig. 2 zeigt ein Ausführungsbeispiel, welches dem in Fig. 1 ähnlich ist. Die Zuleitung 2 hat hier zunächst die selbe Breite b wie das Löt pad 1, und weitet sich dann zu zwei Bohrungen 3a, b hin auf. Diese Ausführungsform ist etwas höherinduktiv als die in Fig. 1 gezeigte, sie ist jedoch aufgrund der kleineren geometrischen Ausführung in manchen Fällen zu bevorzugen.

Fig. 3 zeigt ein Anwendungsbeispiel der erfindungsgemäßen Kontaktierung. Hier wird eine Oberflächenleiterbahn 8 über ein SMD-Bauteil 6 mit einer Leiterbahn im Inneren oder auf der entgegengesetzten Seite der Leiterplatte 12 gekoppelt. Das SMD-Bauteil 6 ist wie bei bisherigen Leiterplatten auch an seinen Kontaktbereichen 6a mittels Lot 9 mit dem Löt pad 1 verbunden. In dem hier gezeigten Beispiel handelt es sich bei der Leiterbahn 8 um eine Potentiallage, beispielsweise eine GND-Lage. Allgemein empfiehlt es sich, damit der induktivitätsarme Aufbau der Durchkontaktierung nicht zu Nichte gemacht wird die Oberflächenleiterbahn 8 mindestens so breit wie das mit ihr verbundene Löt pad 1 zu machen.

Fig. 4 zeigt die Anwendung eines erfindungsgemäßen Layouts für den Fall, daß zwei Leiterbahnen 7, welche sich im Inneren der Leiterplatte 12 befinden über ein SMD-Bauteil 6 miteinander gekoppelt werden sollen. Hier ist es natürlich vorteilhaft, wenn die Verbindung jeder der beiden Leiterbahnen zu dem ihr zugeordneten Löt pad 1 mit einem erfindungsgemäßen Layout erfolgt. Es ist natürlich auch denkbar, daß mit einem Löt pad 1 mehrere Leiterbahnen 7 verbunden sind (s. Fig. 5a).

Wie bei bisherigen Leiterplatten auch, ist die Oberfläche der Leiterplatte 12 mit einem Lotstopplack 4 versehen, in welchem Aussparungen für die Löt pads 1 sind. Insbesondere ist der Lotstopplack 4 so angeordnet, daß ein Hineinlaufen von Lot in eine der Bohrungen 3 zuverlässig verhindert wird.

Die Kontaktierung zwischen einer Bohrung 3 und der Leiterbahn 7, welche kontaktiert werden soll, wird wie bei

herkömmlichen Leiterplatten erreicht. Die Metallschicht 10 auf der Bohrungswandung steht in leitendem Kontakt zu der Zuleitung 2 und zu der oder den Leiterbahnen 7 (Fig. 5). Natürlich muß die entsprechende Leiterbahn 7 zumindest dort, wo sie kontaktiert werden soll, breit genug sein, damit sie von allen der Kontaktierung dienenden Löchern durchstoßen wird. Da Leiterbahnen aufgrund der angestrebten niedrigen Induktivität in der Regel breit geführt werden ist an dieser Stelle meist keine wesentliche Layoutänderung gegenüber herkömmlichen Leiterplatten nötig. Der Übersichtlichkeit halber sind die Zeichnungen folgendermaßen vereinfacht:

- In den Fig. 1-4 sind weder Innenlagen-Leiterbahnen 7, noch Lotstopplack 4 dargestellt.
- Die Fig. 5a, b zeigen jeweils einen Schnitt durch eine der zur Kontaktierung dienenden Bohrungen 3. Die zur selben Kontaktierung gehörenden Bohrungen 3 sind in analoger Weise mit den jeweils gleichen Leiterbahnen 7 verbunden.

Das hier beschriebene Layout kann natürlich nicht nur auf Vielschichtleiterplatten angewendet werden, sondern auch auf Zweischichtleiterplatten, bei denen Leiterbahnen nur auf den beiden Oberflächen angeordnet sind, und die Durchkontaktierung lediglich von einer Oberfläche zur anderen erfolgt. Die oben beschriebenen Beispiele haben lediglich exemplarischen Charakter, sie sind keine abschließende Aufstellung aller denkbaren erfindungsgemäßen Layouts. Insbesondere ist es auch möglich, daß zur Durchkontaktierung eines Löt pads Bohrungen mit verschiedenen Durchmessern verwendet werden. Ein besonders wichtige Anwendung des erfindungsgemäßen Layouts ist die kapazitive Kopplung zweier Leiterbahnen mittels eines SMD-Kondensators, wobei mindestens eine der beiden Kontaktflächen eines solchen Kondensators mit einem Löt pad verlötet ist, welches erfindungsgemäß mit mindestens einer Leiterbahn verbunden ist.

Patentansprüche

1. Leiterplatte (12) mit mindestens einem auf einer ersten Oberfläche der Leiterplatte angeordneten Löt pad (1), einer diesem Löt pad zugeordneten und mit einer Zuleitung (2) verbundenen Durchkontaktierung zu mindestens einer Leiterbahn (7), welche sich auf einer zweiten Oberfläche oder in einer Innenlage der Leiterplatte (12) befindet, wobei die Zuleitung (2) das Löt pad (1) leitend mit der Durchkontaktierung verbindet, **dadurch gekennzeichnet**, daß die Durchkontaktierung aus mindestens zwei parallel geschalteten metallisierten Bohrungen (3) besteht, und daß die Zuleitung (2) zwischen dem Löt pad (1) und der Bohrung (3a, b), welche dem Löt pad (1) am nächsten ist, mindestens dieselbe Breite (b) wie das Löt pad (1) aufweist.
2. Leiterplatte (12) nach Anspruch 1, dadurch gekennzeichnet, daß zur Durchkontaktierung zwei Bohrungen (3) angeordnet sind.
3. Leiterplatte (12) nach Anspruch 1, dadurch gekennzeichnet, daß zur Durchkontaktierung drei Bohrungen (3) angeordnet sind.
4. Leiterplatte (12) nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß alle zu einem Löt pad (1) gehörenden Bohrungen (3) denselben Durchmesser aufweisen.
5. Leiterplatte (12) nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß zur Durchkontaktierung Bohrungen (3) mit verschiedenen Durchmessern ver-

wendet werden.

6. Leiterplatte (12) nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß es sich um eine Mehrschichtleiterplatte handelt.
7. Leiterplatte (12) nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß es sich um eine Leiterplatte handelt, welche ausschließlich Leiterbahnen an der Ober- und Unterseite trägt.
8. Leiterplatte (12) nach Anspruch 6, dadurch gekennzeichnet, daß das Löt pad (1) mit mehreren Leiterbahnen (7) leitend verbunden ist.
9. Leiterplatte (12) nach Anspruch 8, dadurch gekennzeichnet, daß sich eine Leiterbahn (7) auf der zweiten Oberfläche der Leiterplatte (12) befindet.
10. Leiterplatte (12) nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß auf mindestens ein Löt pad (1) ein SMD-Bauteil (6) aufgelötet ist.
11. Leiterplatte (12) nach Anspruch 10, dadurch gekennzeichnet, daß das SMD-Bauteil (6) ein Kondensator ist.
12. Leiterplatte (12) nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Zuleitung aus Kupfer besteht.

Hierzu 3 Seite(n) Zeichnungen

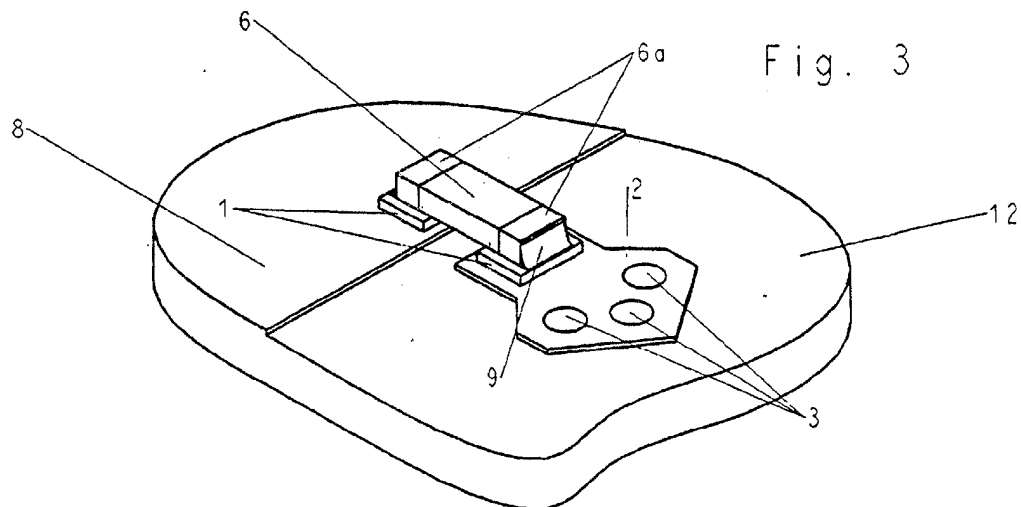
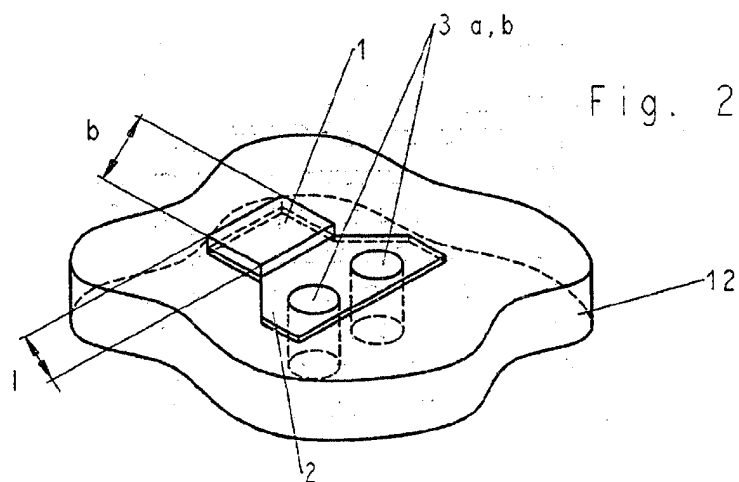
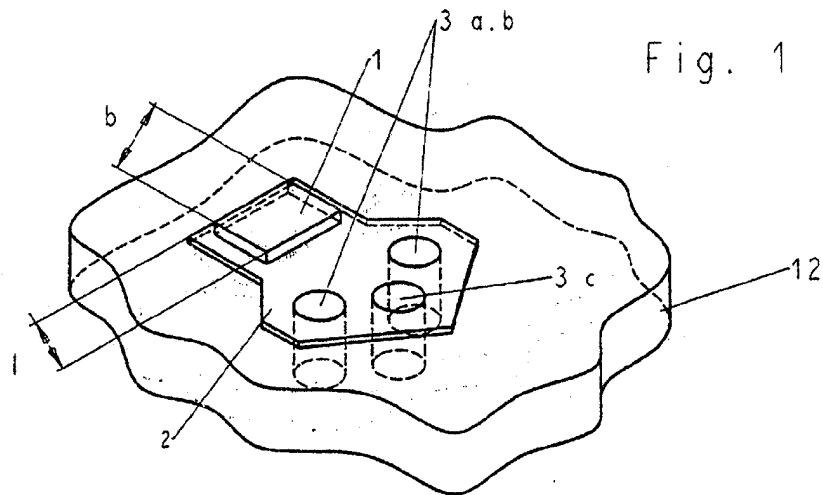


Fig. 4

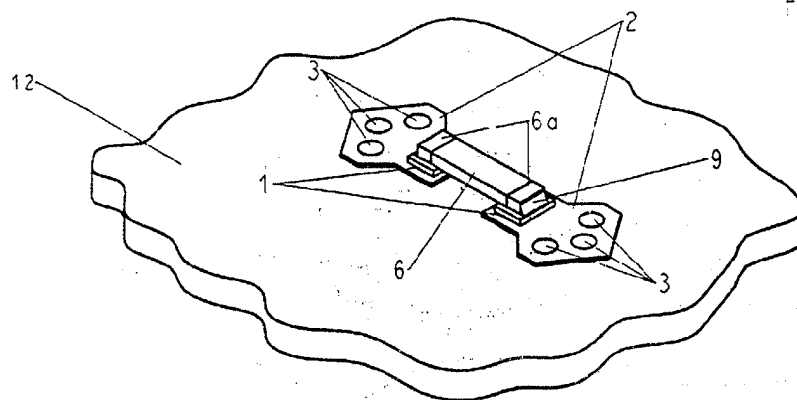


Fig. 5a

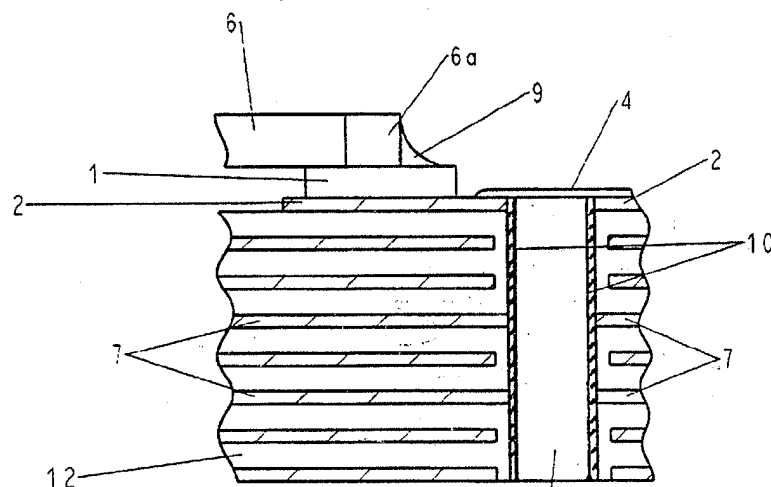


Fig. 5b

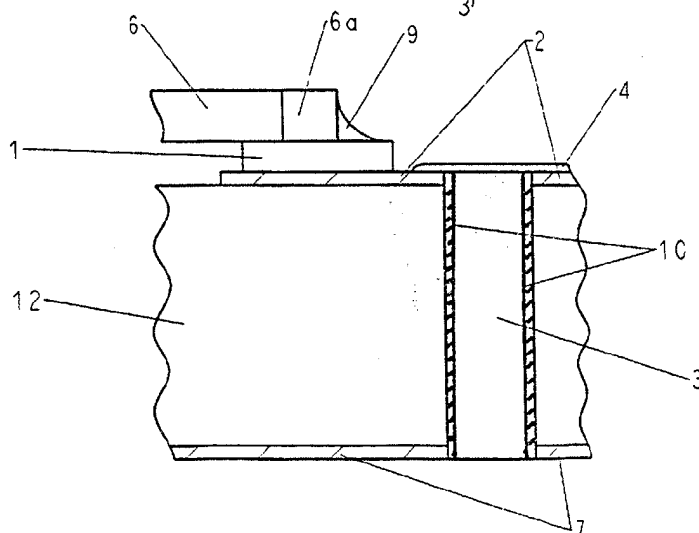


Fig. 6

